

Docket No.: 60188-760

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Miwa ITO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: January 23, 2004	:	Examiner: Unknown
	:	
For:		LEVEL SHIFTER HAVING AUTOMATIC DELAY ADJUSTING FUNCTION

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-024449, filed January 31, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: January 23, 2004

60188-760

ITO et al.

January 23, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 月 3 1 日

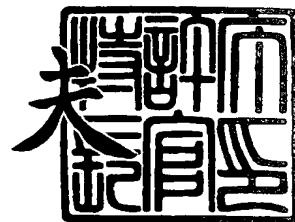
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 2 4 4 4 9
[ST. 10/C]: [J P 2 0 0 3 - 0 2 4 4 4 9]

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 3 年 1 1 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 8 6 7 0

【書類名】 特許願

【整理番号】 5037640112

【提出日】 平成15年 1月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/0185

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 伊東 美和

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 中西 和幸

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 山本 裕雄

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 平田 昭夫

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 初田 次康

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自動遅延調整機能付きレベル変換回路

【特許請求の範囲】

【請求項 1】 第 1 の電源電圧と所定電圧との電位差である第 1 の振幅電圧を持つ信号が入力される入力端子と、

前記入力端子の入力信号の前記第 1 の振幅電圧を、第 2 の電源電圧と前記所定電圧との電位差である第 2 の振幅電圧にレベル変換するレベル変換部と、

前記レベル変換部により変換された信号を出力する出力端子と、

前記第 1 の電源電圧及び第 2 の電源電圧の少なくとも一方の電圧値の変更に応じて、前記レベル変換部によりレベル変換されて前記出力端子から出力される信号の立上り遅延時間と立下り遅延時間とのバランスを自動補正する自動遅延調整回路とを備えた

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項 2】 前記請求項 1 記載の自動遅延調整機能付きレベル変換回路において、

前記自動遅延調整回路は、

前記出力端子からの出力信号の立上り遅延時間が立下り遅延時間よりも長いとき、前記出力端子に流れ込む電流量を多くするように補償する

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項 3】 前記請求項 2 記載の自動遅延調整機能付きレベル変換回路において、

前記自動遅延調整回路は、N 型トランジスタを有し、

前記 N 型トランジスタは、

一端に前記第 2 の電源電圧が供給され、他端が前記出力端子に接続され、ゲートが前記入力端子に接続される

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項 4】 前記請求項 3 記載の自動遅延調整機能付きレベル変換回路において、

前記自動遅延調整回路は、更に、P 型トランジスタを備え、

前記 P 型トランジスタは、

ドレインが前記 N 型トランジスタのソースに接続され、ソースに前記第 1 の電源電圧が供給され、ゲートに前記第 2 の電源電圧が供給される

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項 5】 前記請求項 2 記載の自動遅延調整機能付きレベル変換回路において、

前記自動遅延調整回路は、カレントミラー回路を有し、

前記カレントミラー回路は、

第 1 の N 型トランジスタと、第 1 及び第 2 の P 型トランジスタを有し、

前記第 1 の N 型トランジスタは、ソースに前記所定電圧が供給され、ドレインが前記第 1 及び第 2 の P 型トランジスタのゲートに接続され、ゲートが前記入力端子に接続され、

前記第 1 の P 型トランジスタは、ドレインが前記第 1 の N 型トランジスタのドレインに接続され、ソースに前記第 2 の電源電圧が供給され、

前記第 2 の P 型トランジスタは、ドレインが前記出力端子に接続され、ソースに前記第 2 の電源電圧が供給される

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項 6】 前記請求項 5 記載の自動遅延調整機能付きレベル変換回路において、

前記レベル変換部によりレベル変換された信号を反転し、この反転信号を前記出力端子に出力するインバータが配置され、

前記カレントミラー回路は、更に、第 2 の N 型トランジスタを有し、

前記第 2 の N 型トランジスタは、ソースが前記第 1 の N 型トランジスタのドレインに接続され、ドレインが前記第 1 の P 型トランジスタのドレインに接続され、ゲートが前記インバータと前記出力端子との間に接続される

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項 7】 前記請求項 1 又は 2 記載の自動遅延調整機能付きレベル変換回路において、

前記自動遅延調整回路は、

前記出力端子からの出力信号の立上り遅延時間が立下り遅延時間よりも長いとき、前記レベル変換部の前記入力端子側の電圧の低下変化、又は、前記レベル変換部の前記出力端子側の電圧の低下変化を小さくする

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項 8】 前記請求項 3 又は 7 記載の自動遅延調整機能付きレベル変換回路において、

前記自動遅延調整回路は、直列接続された第 1 及び第 2 の N 型トランジスタを有し、

前記第 1 の N 型トランジスタは、ゲートが前記入力端子に接続され、ドレインが前記レベル変換部の信号入力側に接続され、

前記第 2 の N 型トランジスタは、ソースに前記所定電圧が供給され、ドレインが前記第 1 の N 型トランジスタのソースに接続され、ゲートに前記第 2 の電源電圧が供給される

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項 9】 前記請求項 7 記載の自動遅延調整機能付きレベル変換回路において、

前記自動遅延調整回路は、直列接続された第 1 及び第 2 の N 型トランジスタを有し、

前記第 1 の N 型トランジスタは、ゲートが前記レベル変換部の信号出力側に接続され、ドレインが前記出力端子に接続され、

前記第 2 の N 型トランジスタは、ドレインが前記第 1 の N 型トランジスタのソースに接続され、ソースに前記所定電圧が供給され、ゲートに前記第 1 の電源電圧が供給される

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項 10】 前記請求項 8 又は 9 記載の自動遅延調整機能付きレベル変換回路において、

前記レベル変換部は、第 1 及び第 2 の P 型トランジスタと、第 3 及び第 4 の N 型トランジスタを有するクロスラッチ型であり、

前記第 1 及び第 2 の P 型トランジスタは、その一方のトランジスタのドレイン

が他方のトランジスタのゲートに接続され、前記第2のP型トランジスタのドレインは前記出力端子に接続され、

前記第3のN型トランジスタは、ゲートに前記入力端子が接続され、ソースに前記所定電圧が供給され、前記第4のN型トランジスタは、ゲートにインバータを介して前記入力端子が接続され、ソースに前記所定電圧が供給され、

前記自動遅延調整回路は、第5のN型トランジスタを有し、

前記第5のN型トランジスタは、

ドレインが前記第4のN型トランジスタのソースに接続され、ソースに前記所定電圧が供給され、ゲートに前記第2の電源電圧が供給される

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項11】 前記請求項10記載の自動遅延調整機能付きレベル変換回路において、

前記自動遅延調整回路は、更に、第6のN型トランジスタを有し、

前記第6のN型トランジスタは、

ドレインが前記第3のN型トランジスタのソースに接続され、ソースに前記所定電圧が供給され、ゲートに前記第1の電源電圧が供給される

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【請求項12】 前記請求項1記載の自動遅延調整機能付きレベル変換回路において、

前記レベル変換部は、第1及び第2のP型トランジスタと、第1及び第2のN型トランジスタを有するクロスラッチ型であり、

前記第1及び第2のP型トランジスタは、その一方のトランジスタのドレインが他方のトランジスタのゲートに接続され、前記第2のP型トランジスタのドレインは前記出力端子に接続され、

前記第1のN型トランジスタは、ゲートに前記入力端子が接続され、ソースに前記所定電圧が供給され、前記第2のN型トランジスタは、ゲートにインバータを介して前記入力端子が接続され、ソースに前記所定電圧が供給される

ことを特徴とする自動遅延調整機能付きレベル変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源電圧の異なる2つの論理回路間に位置して、一方の論理回路の出力信号の電圧レベルを変換して他方の論理回路に出力するレベル変換回路に関する。

【0002】

【従来の技術】

近年、電池によって電源を供給される携帯機器が多く普及し、電池の駆動時間を長くするために、それらの携帯機器に用いられるシステムの低消費電力化が強く要求されている。一方、これらの携帯機器のうち、特に携帯電話などでは、通常の通話機能の他に、電子メール、ウェブの閲覧、ゲームなど、多くの機能を備えることが要求されている。そのため、これらの携帯機器に搭載される半導体集積回路では、動作が要求される機能に応じて内部のブロック毎に電源電圧を変更し、高速動作が要求されないブロックでは、電源電圧を下げることにより、多機能化と低消費電力化とを同時に行う手法が取られている。その結果、システムの機能が異なる内部のブロック毎に電源電圧が異なる場合が生じ、これらの機能ブロック間で信号レベルを変換するレベル変換回路が必要となっている。

【0003】

従来の一般的な信号レベル変換回路を図15及び図16を参照しながら、説明する。図15はレベル変換回路の構成図、図16はその入力波形と出力波形を示す図である。

【0004】

図15に示したレベル変換回路では、図16に示したように、内部電圧レベルVDD1を持つ入力信号V(in)が入力されると、出力端子(out)から、外部電圧レベルVDD2にレベル変換された出力信号V(out)を得るように動作する。尚、図16において、t_{PLH}は入力信号V(in)が立上ってから出力信号V(out)が立上がるまでの遅延時間、t_{PHL}は入力信号V(in)が立下ってから出力信号V(out)が立下がるまでの遅延時間を表わしている。

【0005】

先ず、入力端子 (i n) の入力信号 $V(i n)$ が 0 V から内部電圧レベル $VDD1$ に立上る場合の出力信号 $V(o u t)$ の変化を説明する。入力信号 $V(i n)$ の内部電圧レベル $VDD1$ はインバータ $I1$ に伝達される。インバータ $I1$ は Low (0 V) レベルの信号を出力し、インバータ $I2$ は内部電圧レベル $VDD1$ の信号を出力する。NMOS トランジスタ $N1$ のゲートへの入力電圧は、内部電圧レベル $VDD1$ となって、この NMOS トランジスタ $N1$ は ON し、他の NMOS トランジスタ $N2$ のゲートの入力電圧は 0 V となって、この NMOS トランジスタ $N2$ は OFF となる。その結果、PMOS トランジスタ $P2$ のゲート及びインバータ $I3$ への入力電圧は、外部電圧レベル $VDD2$ から 0 V へと変化し、インバータ $I3$ の出力電圧は 0 V から外部電圧レベル $VDD2$ へと変化する。この際、PMOS トランジスタ $P2$ は徐々に ON となるため、PMOS トランジスタ $P1$ のゲートへの入力電圧は 0 V から外部電圧レベル $VDD2$ に変化し、PMOS トランジスタ $P1$ は OFF となる。

【0006】

次に、入力端子 (i n) の入力信号 $V(i n)$ が内部電圧レベル $VDD1$ から 0 V に立下る場合の出力信号 $V(o u t)$ の変化を説明する。この場合、インバータ $I1$ は内部電圧レベル $VDD1$ の信号を出力し、インバータ $I2$ は 0 V を出力する。NMOS トランジスタ $N1$ のゲートへの入力電圧は 0 V となり、この NMOS トランジスタ $N1$ は OFF し、NMOS トランジスタ $N2$ のゲートへの入力電圧は内部電圧レベル $VDD1$ となり、NMOS トランジスタ $N2$ は ON となる。その結果、PMOS トランジスタ $P1$ のゲートへの入力電圧は外部電圧レベル $VDD2$ から 0 V へと変化する。この際、PMOS トランジスタ $P1$ は徐々に ON となるため、PMOS トランジスタ $P2$ のゲート及びインバータ $I3$ への入力電圧は 0 V から外部電圧レベル $VDD2$ に変化し、PMOS トランジスタ $P2$ は OFF となる。インバータ $I3$ の出力電圧、すなわち、出力端子 $o u t$ の出力信号は、外部電圧レベル $VDD2$ から 0 V へと変化する。

【0007】

以上の動作は、入力信号 $V(i n)$ の電圧レベル、電源電圧 $VDD1$ 及び VD

D2、出力信号V (out) の電圧レベルが、各々予め設定された一定値であることを前提に、各MOSトランジスタのゲート長やゲート幅などの設計パラメータを最適化しており、これにより、レベル変換回路は最適な立上り及び立下り遅延特性を得ている。

【0008】

しかしながら、前記従来のレベル変換回路では、内部電圧レベルVDD1及び外部電圧レベルVDD2の両電源電圧を変化させると、出力信号の立上り遅延時間 t_{pLH} と立下り遅延時間 t_{pHL} との間で大きな時間差が生じ、遅延時間のバランスが悪くなるという問題が生じる。この電源電圧を変更した場合の遅延時間の変化の様子を図17に示す。同図は、内部電源電圧VDD1と外部電源電圧VDD2を変化させた場合の出力信号の立上り遅延時間 t_{pLH} と立下り遅延時間 t_{pHL} の特性を示す。同図では、内部電源電圧VDD1を高く変更するほど、立上り遅延時間 t_{pLH} は短くなり、外部電源電圧VDD2を低く変更すると、立下り遅延時間 t_{pHL} は短くなる傾向を示すが、途中からは（同図では1.35V前後）次第に長くなる。従って、内部電源電圧VDD1を高く且つ外部電源電圧VDD2を低く設定するほど、遅延時間のバランスは大きく崩れることが判る。

【0009】

そこで、前記の課題に対処する技術として特許文献1がある。この特許文献1では、立上り及び立下り遅延時間のバランスを良くするために、外部で制御信号を作成し、この制御信号をレベル変換回路に入力して、このレベル変換回路の立上り及び立下り遅延時間の特性を変更している。

【0010】

【特許文献1】

特開平11-41090号公報

【0011】

【発明が解決しようとする課題】

しかしながら、前記従来のレベル変換回路では、外部から制御信号をレベル変換回路に入力する必要があるため、レベル変換回路を含む半導体集積回路の回路

規模が増大し、配線数が多くなり、複雑化するという問題があった。

【0012】

本発明は前記問題を解決するものであり、その目的は、レベル変換回路において、入力側の電源電圧及び出力側の電源電圧の一方又は両方の電源電圧が変更された場合であっても、出力信号の立上り及び立下り遅延時間のバランスを、外部からの制御の入力無しに、自動調整することを可能にすることにある。

【0013】

【課題を解決するための手段】

前記目的を達成するため、本発明では、例えば、レベル変換後の出力信号の立下り遅延時間に対して、立上り遅延時間が長くなったアンバランス時には、出力信号として供給する電流量を自動的に多く補償して、立上り遅延時間を短縮したり、又は、出力信号の立下り遅延時間を自動的に長く延ばして、両遅延時間のバランスを補正することとする。

【0014】

すなわち、請求項1記載の発明の自動遅延調整機能付きレベル変換回路は、第1の電源電圧と所定電圧との電位差である第1の振幅電圧を持つ信号が入力される入力端子と、前記入力端子の入力信号の前記第1の振幅電圧を、第2の電源電圧と前記所定電圧との電位差である第2の振幅電圧にレベル変換するレベル変換部と、前記レベル変換部により変換された信号を出力する出力端子と、前記第1の電源電圧及び第2の電源電圧の少なくとも一方の電圧値の変更に応じて、前記レベル変換部によりレベル変換されて前記出力端子から出力される信号の立上り遅延時間と立下り遅延時間とのバランスを自動補正する自動遅延調整回路とを備えたことを特徴とする。

【0015】

請求項2記載の発明は、前記請求項1記載の自動遅延調整機能付きレベル変換回路において、前記自動遅延調整回路は、前記出力端子からの出力信号の立上り遅延時間が立下り遅延時間よりも長いとき、前記出力端子に流れ込む電流量を多くするように補償することを特徴とする。

【0016】

請求項 3 記載の発明は、前記請求項 2 記載の自動遅延調整機能付きレベル変換回路において、前記自動遅延調整回路は、N 型トランジスタを有し、前記 N 型トランジスタは、一端に前記第 2 の電源電圧が供給され、他端が前記出力端子に接続され、ゲートが前記入力端子に接続されることを特徴とする。

【 0 0 1 7 】

請求項 4 記載の発明は、前記請求項 3 記載の自動遅延調整機能付きレベル変換回路において、前記自動遅延調整回路は、更に、P 型トランジスタを備え、前記 P 型トランジスタは、ドレインが前記 N 型トランジスタのソースに接続され、ソースに前記第 1 の電源電圧が供給され、ゲートに前記第 2 の電源電圧が供給されることを特徴とする。

【 0 0 1 8 】

請求項 5 記載の発明は、前記請求項 2 記載の自動遅延調整機能付きレベル変換回路において、前記自動遅延調整回路は、カレントミラー回路を有し、前記カレントミラー回路は、第 1 の N 型トランジスタと、第 1 及び第 2 の P 型トランジスタを有し、前記第 1 の N 型トランジスタは、ソースに前記所定電圧が供給され、ドレインが前記第 1 及び第 2 の P 型トランジスタのゲートに接続され、ゲートが前記入力端子に接続され、前記第 1 の P 型トランジスタは、ドレインが前記第 1 の N 型トランジスタのドレインに接続され、ソースに前記第 2 の電源電圧が供給され、前記第 2 の P 型トランジスタは、ドレインが前記出力端子に接続され、ソースに前記第 2 の電源電圧が供給されることを特徴とする。

【 0 0 1 9 】

請求項 6 記載の発明は、前記請求項 5 記載の自動遅延調整機能付きレベル変換回路において、前記レベル変換部によりレベル変換された信号を反転し、この反転信号を前記出力端子に出力するインバータが配置され、前記カレントミラー回路は、更に、第 2 の N 型トランジスタを有し、前記第 2 の N 型トランジスタは、ソースが前記第 1 の N 型トランジスタのドレインに接続され、ドレインが前記第 1 の P 型トランジスタのドレインに接続され、ゲートが前記インバータと前記出力端子との間に接続されることを特徴とする。

【 0 0 2 0 】

請求項 7 記載の発明は、前記請求項 1 又は 2 記載の自動遅延調整機能付きレベル変換回路において、前記自動遅延調整回路は、前記出力端子からの出力信号の立上り遅延時間が立下り遅延時間よりも長いとき、前記レベル変換部の前記入力端子側の電圧の低下変化、又は、前記レベル変換部の前記出力端子側の電圧の低下変化を小さくすることを特徴とする。

【 0 0 2 1 】

請求項 8 記載の発明は、前記請求項 3 又は 7 記載の自動遅延調整機能付きレベル変換回路において、前記自動遅延調整回路は、直列接続された第 1 及び第 2 の N 型トランジスタを有し、前記第 1 の N 型トランジスタは、ゲートが前記入力端子に接続され、ドレインが前記レベル変換部の信号入力側に接続され、前記第 2 の N 型トランジスタは、ソースに前記所定電圧が供給され、ドレインが前記第 1 の N 型トランジスタのソースに接続され、ゲートに前記第 2 の電源電圧が供給されることを特徴とする。

【 0 0 2 2 】

請求項 9 記載の発明は、前記請求項 7 記載の自動遅延調整機能付きレベル変換回路において、前記自動遅延調整回路は、直列接続された第 1 及び第 2 の N 型トランジスタを有し、前記第 1 の N 型トランジスタは、ゲートが前記レベル変換部の信号出力側に接続され、ドレインが前記出力端子に接続され、前記第 2 の N 型トランジスタは、ドレインが前記第 1 の N 型トランジスタのソースに接続され、ソースに前記所定電圧が供給され、ゲートに前記第 1 の電源電圧が供給されることを特徴とする。

【 0 0 2 3 】

請求項 1 0 記載の発明は、前記請求項 8 又は 9 記載の自動遅延調整機能付きレベル変換回路において、前記レベル変換部は、第 1 及び第 2 の P 型トランジスタと、第 3 及び第 4 の N 型トランジスタを有するクロスラッチ型であり、前記第 1 及び第 2 の P 型トランジスタは、その一方のトランジスタのドレインが他方のトランジスタのゲートに接続され、前記第 2 の P 型トランジスタのドレインは前記出力端子に接続され、前記第 3 の N 型トランジスタは、ゲートに前記入力端子が接続され、ソースに前記所定電圧が供給され、前記第 4 の N 型トランジスタは、

ゲートにインバータを介して前記入力端子が接続され、ソースに前記所定電圧が供給され、前記自動遅延調整回路は、第5のN型トランジスタを有し、前記第5のN型トランジスタは、ドレインが前記第4のN型トランジスタのソースに接続され、ソースに前記所定電圧が供給され、ゲートに前記第2の電源電圧が供給されることを特徴とする。

【0024】

請求項11記載の発明は、前記請求項10記載の自動遅延調整機能付きレベル変換回路において、前記自動遅延調整回路は、更に、第6のN型トランジスタを有し、前記第6のN型トランジスタは、ドレインが前記第3のN型トランジスタのソースに接続され、ソースに前記所定電圧が供給され、ゲートに前記第1の電源電圧が供給されることを特徴とする。

【0025】

請求項12記載の発明は、前記請求項1記載の自動遅延調整機能付きレベル変換回路において、前記レベル変換部は、第1及び第2のP型トランジスタと、第1及び第2のN型トランジスタを有するクロスラッチ型であり、前記第1及び第2のP型トランジスタは、その一方のトランジスタのドレインが他方のトランジスタのゲートに接続され、前記第2のP型トランジスタのドレインは前記出力端子に接続され、前記第1のN型トランジスタは、ゲートに前記入力端子が接続され、ソースに前記所定電圧が供給され、前記第2のN型トランジスタは、ゲートにインバータを介して前記入力端子が接続され、ソースに前記所定電圧が供給されることを特徴とする。

【0026】

以上により、請求項1～12記載の発明の自動遅延調整機能付きレベル変換回路では、例えば、出力端子からの出力信号の立下り遅延時間と立上り遅延時間とが、電圧レベルを高く変換する場合にほぼ同時間に設定されていても、第1及び第2の電源電圧の変更に伴い、電圧レベルを低く変換するに際しては、立下り遅延時間に対して立上り遅延時間は長くなるが、この場合にも、自動遅延調整回路がそのアンバランスを自動補正するので、レベル変換前後の電源電圧の値に拘わらず、常に、適切な遅延特性でもって入力信号をレベル変換することができる。

【 0 0 2 7 】

例えば、請求項 2 及び 3 記載の発明では、このような場合には、レベル変換部からの出力信号は、立上り遅延時間が長くなろうとするものの、自動遅延調整回路が出力端子に多くの電流を流し込み、出力信号の電圧上昇が補助されるので、立上り遅延時間が短縮されて、立下り遅延時間とのバランスが均衡する。特に、請求項 4 記載の発明では、立上りと立下りの遅延時間のアンバランスが顕著になった補償の必要時、即ち、第 2 の電源電圧が第 1 の電源電圧よりも低い状況に限り、P 型トランジスタが ON して、出力端子に多くの電流が流し込まれることになる。更に、請求項 5 記載の発明では、カレントミラー回路を用いて出力端子に多くの電流を流し込むので、立上り遅延時間を効果的に短縮できる。加えて、請求項 6 記載の発明では、出力端子の出力信号が H レベルへの変化を完了した時点で、第 2 の N 型トランジスタが OFF するので、カレントミラー回路から流れる定常電流を遮断でき、低消費電力となる。

【 0 0 2 8 】

また、請求項 7 ～ 1 1 記載の発明では、出力信号の立下り遅延時間に対して立上り遅延時間が長くなる場合には、レベル変換部への入力信号の立下りが緩慢にされて、出力信号の立下り遅延時間が長く延ばされたり、又は、レベル変換部からの出力信号の立上りが短く調整されて、出力信号の立上り遅延時間が短縮されるので、立上り遅延時間と立下り遅延時間とのバランスが良好に確保される。

【 0 0 2 9 】**【発明の実施の形態】**

以下、本発明の実施の形態の自動遅延調整機能付きレベル変換回路について、図面を参照しながら説明する。

【 0 0 3 0 】**(第 1 の実施の形態)**

図 1 は本発明の第 1 の実施の形態の自動遅延調整機能付きレベル変換回路を用いたシステムのブロック図を示す。

【 0 0 3 1 】

同図において、1 は第 1 の論理回路、2 は第 1 の電源電圧 VDD1 を供給する

第1の電源、3は第2の論理回路、4は第2の電源電圧VDDHを供給する第2の電源、5は前記第1の論理回路1と第2の論理回路3との間に配置された自動遅延調整機能付きレベル変換回路、6は第1及び第2の電源2、4の各電源電圧VDDL、VDDHを変更する制御部である。

【0032】

前記第1の論理回路1には第1の電源2から第1の電源電圧VDDLが供給され、第2の論理回路3には第2の電源4から第2の電源電圧VDDHが供給される。第1の論理回路1と第2の論理回路3との間で信号を送受信する。第1の論理回路1を高速で動作させる場合には、第1の電源電圧VDDLを高電圧に設定し、低消費電力で動作させる場合には低電圧に設定する。同様に、第2の論理回路3でも、高速動作させる場合には、第2の電源電圧VDDHを高電圧に設定し、低消費電力で動作させる場合には低電圧に設定する。第1の電源電圧VDDLと第2の電源電圧VDDHとは、制御部6の制御信号cnt1、cnt2により、相互に独立して変更可能である。

【0033】

第1の論理回路1からの出力信号の振幅電圧は、第1の電源電圧VDDLと接地電圧（所定電圧）との電位差、即ち、第1の電源電圧VDDLである。レベル変換回路5は、前記第1の論理回路1からの出力信号の信号レベル（振幅電圧）を、第2の論理回路3での信号の信号レベル（振幅電圧）である第2の電源電圧VDDH（第2の電源電圧VDDHと接地電圧との電位差の振幅電圧）にレベル変換する。レベル変換部5でレベル変換された信号は第2の論理回路3に入力される。

【0034】

尚、図1では、第1の論理回路1から第2の論理回路3へ1つの信号のみが伝達されるが、この両論理回路1、2間で複数の信号の送受信を行っても良い。

【0035】

ここで、例えば第1の電源電圧VDDLが低電圧であり、第2の電源電圧VDDHが高電圧である場合において、遅延時間特性を最適化した設計のレベル変換回路では、この関係が変化したときには、立上り及び立下りの遅延時間特性のバ

ランスが悪化する。本実施の形態の自動遅延調整機能付きレベル変換回路は、入力信号及び出力信号の各電圧レベルに応じて遅延時間特性を改善し、更には、入力信号及び出力信号の各電圧レベルの変化に起因して遅延時間特性のバランスが悪化したり遅延時間の増大を改善することを可能にする。

【0036】

図2は、前記自動遅延調整機能付きレベル変換回路5の内部構成の回路図を示す。同図において、 i_n は入力端子、 $o_u t$ は出力端子、 L はこの両端子 i_n 、 $o_u t$ の間に配置されたレベル変換部である。入力端子 i_n には、前記第1の論理回路1からの出力信号が入力される。この入力端子 i_n の入力信号は、第1のインバータ I_1 を介してレベル変換部 L の入力ノード n_1 に入力される。第1のインバータ I_1 は、第1の電源電圧 $V_{DD L}$ が供給され、前記入力信号のレベルを反転し、信号レベルが第1の電源電圧 $V_{DD L}$ のときは接地電圧に、接地電圧のときは第1の電源電圧 $V_{DD L}$ にする。

【0037】

前記レベル変換部 L はクロスラッチ型であって、次の内部構成を持つ。 P_1 、 P_2 は第1及び第2のP型MOSトランジスタ、 N_1 、 N_2 は第1及び第2のN型MOSトランジスタ、 I_2 は第2のインバータである。尚、本実施の形態で使用するトランジスタは、MOS (Metal Oxide Semiconductor)型に限らず、MIS (Metal Insulator Semiconductor)型であればよいのは勿論である。このことは、以降の実施の形態でも同様である。前記第1及び第2のP型MOSトランジスタ P_1 、 P_2 は、その各ソースに第2の電源電圧 $V_{DD H}$ が供給されると共に、その一方のMOSトランジスタのドレインが他方のMOSトランジスタのゲートに接続されて、クロスカップル型となっている。第2のP型MOSトランジスタ P_2 のドレインは、出力ノード n_3 として、後述するように第3のインバータ I_3 を介して出力端子 $o_u t$ に接続される。

【0038】

また、前記レベル変換部 L において、第1のN型MOSトランジスタ N_1 は、そのゲートがレベル変換部 L の入力ノード n_1 とされ、このゲート（入力ノード n_1 ）に第1のインバータ I_1 を介して入力端子 i_n からの反転入力信号が入力

され、そのソースには接地電圧（所定電圧） V_{SS} が供給され、そのドレインは前記第1のP型MOSトランジスタP1のドレインに接続され、この接続点はノードn2となる。前記第2のN型MOSトランジスタN2は、そのゲートが第2のインバータI2を介してレベル変換部Lの入力ノードn1に接続されて入力端子inの入力信号を受け、そのソースには接地電圧 V_{SS} が供給され、そのドレインは第2のP型MOSトランジスタP2のドレインに接続されて、この接続点がレベル変換部Lの出力ノードn3となる。前記第2のインバータI2は、第1の電源電圧 V_{DDL} の供給を受け、第1のインバータI1と同様の信号反転動作を行う。

【0039】

前記レベル変換部Lは、前記の構成により、入力ノードn1の信号レベル（即ち、入力端子inからの反転入力信号のレベル）を変換し、その振幅電圧（第1の電源電圧 V_{DDL} ）をより大値の振幅電圧（第2の電源電圧 V_{DDH} ）にする。具体的には、入力ノードn1の信号レベルが第1の電源電圧 V_{DDL} のとき第2の電源電圧 V_{DDH} に変換し、入力ノードn1の信号レベルが接地電圧 V_{SS} のとき接地電圧 V_{SS} に変換する。

【0040】

前記レベル変換部Lの出力ノードn3は、第3のインバータI3を経て出力端子outに接続される。このインバータI3は、第2の電源電圧 V_{DDH} の供給を受け、レベル変換部Lの出力ノードn3の信号のレベルを、同一振幅電圧のまま、接地電圧 V_{SS} のとき第2の電源電圧 V_{DDH} に変換し、第2の電源電圧 V_{DDH} のとき接地電圧 V_{SS} に変換する。

【0041】

そして、本発明の特徴点として、前記レベル変換部Lの出力ノードn3には、自動遅延調整回路10Aが接続される。この自動遅延調整回路10Aは、第1及び第2の電源電圧 V_{DDL} 、 V_{DDH} の少なくとも一方が変更された場合であっても、レベル変換部Lでレベル変換されて出力端子outから出力される出力信号の立上り遅延時間と立下り遅延時間とのバランスを自動調整する。この調整回路10Aは、具体的には、N型MOSトランジスタN3で構成される。このMOS

トランジスタN3は、そのソースに第2の電源電圧VDDHが供給され、そのドレインにレベル変換部Lの出力ノードn3が接続され、そのゲートにはレベル変換部Lの入力ノードn1が接続される。

【0042】

尚、本実施の形態では、レベル変換部Lの入力ノードn1及び出力ノードn3の前後に第1及び第3のインバータI1、I3を配置したが、これ等のインバータI1、I3は必ず配置する必要はない。配置しない基本型の場合には、以下に説明する入力信号及び出力信号の立上り及び立下りについては、それらを逆に考えれば良い。

【0043】

次に、本実施の形態の自動遅延調整機能付きレベル変換回路の動作を説明する。ここでは、例えば、第1の電源電圧VDDLが第2の電源電圧VDDHに比して高い状況の場合を説明する。

【0044】

この状況では、レベル変換部Lにおいて、P型MOSトランジスタP2のゲート-ソース間電圧Vgsが小さく、一方、N型MOSトランジスタN2のゲート-ソース間電圧Vgsは大きい。従って、N型MOSトランジスタN2に対するP型MOSトランジスタP2の駆動能力が劣化し、入力信号inから出力信号outまでの立上り遅延時間に対する立下り遅延時間が増大して、両遅延時間のバランスが大きく崩れることになる。

【0045】

しかし、本実施の形態では、入力信号inが立下る際には、自動遅延調整回路10のN型MOSトランジスタN3がONとなることにより、第2の電源電圧VDDHがレベル変換部Lの出力ノードn3に印加されて、この出力ノードn3に第2の電源電圧VDDHに基づく電流が流れ込む。これにより、レベル変換部LのP型MOSトランジスタP2の駆動能力が劣化した状況であっても、このP型MOSトランジスタP2を介して出力ノードn3に流れ込む電流に、前記自動遅延調整回路10のN型MOSトランジスタN3から流れ込む電流が加わって、出力ノードn3に流れ込む電流量が多くなる。その結果、出力端子outからの出

力信号の立下り遅延時間が短縮されて、立上り遅延時間とほぼ同時間となり、両遅延時間のバランスが良好に補償されることになる。

【0046】

図3は、本実施の形態について、第1及び第2の電源電圧 V_{DDL} 、 V_{DDH} を変更した場合の出力信号の立上り遅延時間 t_{pLH} と立下り遅延時間 t_{pHL} の変化特性を示す。同図は、図17に示した従来のレベル変換回路についての特性図と同条件下で算出されている。図17の従来例では、第1及び第2の電源電圧 V_{DDL} 、 V_{DDH} を変化させると、出力信号の立上り遅延時間 t_{pLH} と立下り遅延時間 t_{pHL} との間で大きく時間差が生じ、バランスが崩れるという問題が生じたが、本実施の形態では、図3に示すように、電源電圧を変化させても遅延時間のバランス劣化を抑えることができる。

【0047】

このように、本実施の形態によれば、第1及び第2の電源電圧 V_{DDL} 、 V_{DDH} の一方又は双方を変更した場合であっても、出力信号の立下り遅延時間 t_{pHL} を短く調整して、立上り遅延時間 t_{pLH} に近づけることができるので、この両遅延時間の特性のバランスを良好にすることができる。

【0048】

(第2の実施の形態)

以下、本発明の第2の実施の形態の自動遅延調整機能付きレベル変換回路について図面を参照しながら説明する。

【0049】

図4は、本実施の形態の自動遅延調整機能付きレベル変換回路の回路図を示す。同図のレベル変換回路は、図2に示したレベル変換回路と基本的な構成は同様であるが、自動遅延調整回路10Bには、N型MOSトランジスタN3に加えて、P型MOSトランジスタP3が追加して配置される点異なる。

【0050】

前記自動遅延調整回路10Bにおいて、N型MOSトランジスタN3は、ソースが前記出力端子outに接続され、ゲートがレベル変換部Lの入力ノードn1に接続される。更に、P型MOSトランジスタP3は、ドレインが前記N型MO

SトランジスタN3のドレインに接続され、ソースに第1の電源電圧VDDLが供給され、ゲートに第2の電源電圧VDDHが供給される。

【0051】

本実施の形態では、例えば、第1の電源VDDLが第2の電源VDDHに比して高い場合には、N型MOSトランジスタN2に対するP型MOSトランジスタP2の駆動能力が劣化して、出力信号の立上り遅延時間 t_{pLH} に対して立下り遅延時間 t_{pHL} が増大し、両者のバランスが大きく崩れる状況となるが、自動遅延調整回路10Bでは、P型MOSトランジスタP3が、そのゲート-ソース間電圧 V_{gs} ($=|V_{DDH}-V_{DDL}|$) がそのしきい値電圧 V_{th} (例えば0.6V) 以上のとき、ONしていて、入力信号の立下り時には、N型MOSトランジスタN3がONする。これにより、前記第1の実施の形態の自動遅延調整回路10Aと同様に、第2の電源電圧VDDHに基づく電流が出力ノードn3に流れ込むので、出力ノードn3の立上りが補償されて、出力信号の立下り遅延時間 t_{pHL} の増大が有効に抑えられる。

【0052】

更に、自動遅延調整回路10Bでは、第1の電源電圧VDDLと第2の電源電圧VDDHとの電位差に応じて、P型MOSトランジスタP3の駆動能力が変化し、第1の電源電圧VDDLが大きく、第2の電源電圧VDDが小さいほど、P型MOSトランジスタP3の駆動能力が高くなるので、立上り及び立下りの遅延時間のバランスが大きく崩れる電源電圧条件であればあるほど、第2の電源電圧VDDHに基いて出力ノードn3に流れ込む電流量が多くなり、補償効果も大きくなるという利点がある。

【0053】

加えて、図5に示すように、逆に、第1の電源電圧VDDLが第2の電源電圧VDDHに対して低い状況 ($|V_{DDH}-V_{DDL}| < V_{th}$)、すなわち、出力信号の立上り及び立下りの遅延時間のバランスが比較的良好に保持されている状況であって、遅延調整回路10Bの動作が不必要となる条件下では、P型MOSトランジスタP3がOFFして、レベル変換部Lの出力ノードn3の立上りの補償を自動的に停止する。従って、レベル変換回路全体としてトランジスタの無

駄な遷移動作を行わず、低消費電力になる利点がある。

【0054】

このように、本実施の形態によれば、第1及び第2の電源電圧の一方又は双方を変更した場合であっても、自動的に出力信号の立上り及び立下りの遅延時間のバランスを確保できると共に、遅延時間の調整機能の不要時には、自動遅延調整回路10Bを自動で停止できる。

【0055】

(第3の実施の形態)

以下、本発明の第3の実施の形態の自動遅延調整機能付きレベル変換回路について図面を参照しながら説明する。

【0056】

図6は本実施の形態における自動遅延調整機能付きレベル変換回路の回路図を示す。同図のレベル変換回路は、自動遅延調整回路10Cとして、カレントミラー回路15を備えたものである。

【0057】

前記カレントミラー回路15は、第1のN型MOSトランジスタN3と、第1及び第2のP型MOSトランジスタP3、P4とを有する。前記第1のN型MOSトランジスタN3は、ソースに接地電圧VSSが供給され、ドレインが前記第1及び第2のP型MOSトランジスタP3、P4のゲートに接続され、ゲートがレベル変換部Lの入力ノードn1に接続される。また、第1のP型MOSトランジスタP3は、ドレインが第1のN型MOSトランジスタN3のドレインに接続され、ソースに前記第2の電源電圧VDDHが供給される。更に、第2のP型MOSトランジスタP4は、ドレインがレベル変換部Lの出力ノードn3に接続され、ソースに第2の電源電圧VDDHが供給される。

【0058】

本実施の形態では、例えば、第1の電源電圧VDDLが第2の電源電圧VDDHに比して高い場合には、既述の通り、N型MOSトランジスタN2に対してP型MOSトランジスタP2の駆動能力が劣化して、出力信号の立上り遅延時間 t_{pLH} に対して立下り遅延時間 t_{pHL} が増大して、両遅延時間のバランスが大

きく崩れる状況となるが、入力信号が立下る際には、カレントミラー回路 15 では、N型MOSトランジスタN3がONし、これに伴いP型MOSトランジスタP3、P4もONすることにより、レベル変換部Lの出力ノードn3には第2の電源電圧VDDHに基づく電流がP型MOSトランジスタP4を経て流れ込み、この出力ノードn3での信号の立上りが補償されるので、出力端子outの出力信号の立下り遅延時間 t_{pHL} の増大が効果的に抑制されて、立上り遅延時間 t_{pLH} と立上り遅延時間 t_{pHL} とのバランスが良好に確保される。

【0059】

その際、カレントミラー回路 15 のP型MOSトランジスタP4を経て電流を補償供給するので、N型MOSトランジスタを経て電流を供給する場合に比して、第2の電源電圧VDDHに基づく供給電流量を多くでき、立下り遅延時間 t_{pHL} の増大をより一層有効に抑制することができる。

【0060】

一方、入力信号が立上る場合には、レベル変換部Lの出力ノードn3の信号は立下りとなるが、カレントミラー回路 15 のN型MOSトランジスタN3がOFFとなると、カレントミラー回路 15 のノードn4（第1及び第2のP型MOSトランジスタP3、P4のゲート）の電位がP型MOSトランジスタP3の駆動によって上昇し、P型MOSトランジスタP4をOFFするので、カレントミラー回路 15 を経た電流の補償供給は停止される。

【0061】

（第4の実施の形態）

以下、本発明の第4の実施の形態の自動遅延調整機能付きレベル変換回路について図面を参照しながら説明する。

【0062】

図7は本実施の形態における自動遅延調整機能付きレベル変換回路の回路図を示す。同図の本実施の形態のレベル変換回路は、自動遅延調整回路10Dとして、図6に示した自動遅延調整回路10Cカレントミラー回路15に、更に、第2のN型MOSトランジスタN4を付加して、カレントミラー回路15'とした点が特徴である。

【0063】

前記第2のN型MOSトランジスタN4は、第1のN型MOSトランジスタN3と第1のP型MOSトランジスタP3との間に配置されていて、そのソースが第1のN型MOSトランジスタN3のドレインに、そのドレインが第1のP型MOSトランジスタP3のドレインに接続され、そのゲートが第3のインバータI3と出力端子outとの間に接続されている。

【0064】

本実施の形態では、入力信号が立下る前の段階、即ち、第1の電源電圧VDDLにある状態では、カレントミラー回路15'の第2のN型MOSトランジスタN4は、出力端子outの出力信号が第2の電源電圧VDDHにあるのに伴いONしている。その後、入力信号が立ち下がると、カレントミラー回路15'では、第3の実施の形態で既述した通り、第1のN型MOSトランジスタN3及び第1及び第2のP型MOSトランジスタP3、P4がONして、第2の電源電圧VDDHに基づくP型MOSトランジスタP4を経た電流がレベル変換部Lの出力ノードn3に供給され、出力ノードn3の信号の立上り（即ち、出力信号の立下り）が補償される。

【0065】

そして、レベル変換部Lの出力ノードn3がHレベル（第2の電源電圧VDDH）に移行するに従って、カレントミラー回路15'のN型MOSトランジスタN4がOFFに移行するため、カレントミラー回路15'では、P型MOSトランジスタP3の駆動によってノードn4の電位が直ちに上昇し、P型MOSトランジスタP4がOFFする。これにより、とノードn4の電位がP型MOSトランジスタP3の駆動によって上昇し、P型MOSトランジスタP4がOFFして、カレントミラー回路15'によるレベル変換部Lの出力ノードn3への電流の補償供給が停止する。

【0066】

このように、本実施の形態によれば、第1及び第2の電源電圧を変更した場合であっても、自動遅延調整回路10Dの動作と非動作とを自己制御できる帰還回路を具備しているので、出力信号の立上り遅延時間と立下り遅延時間の遅延特性

のバランスを良好にするに留まらず、効率的なバランス調整力を備えた自動遅延調整機能付きレベル変換回路を実現することができる。

【0067】

(第5の実施の形態)

次に、本発明の第5の実施の形態の自動遅延調整機能付きレベル変換回路について図面を参照しながら説明する。

【0068】

図8は本実施の形態における自動遅延調整機能付きレベル変換回路の回路図を示す。同図のレベル変換回路は、自動遅延調整回路10Eがレベル変換回路Lの入力ノードn1側に配置される。

【0069】

前記自動遅延調整回路10Eは、第1のインバータI1を構成する直列接続されたP型MOSトランジスタP5とN型MOSトランジスタN5のうち、N型MOSトランジスタN5と、このN型MOSトランジスタ(第1のN型トランジスタ)N5に直列接続された第2のN型MOSトランジスタN4とを備える。前記第1のN型MOSトランジスタN5は、そのゲートが入力端子inに接続され、そのドレインがレベル変換部Lの入力ノードn1に接続される。また、第2のN型MOSトランジスタN4は、そのソースに接地電圧VSSが供給され、そのドレインが第1のN型MOSトランジスタN5のソースに接続され、そのゲートには第2の電源電圧VDDHが供給されている。

【0070】

本実施の形態では、第1の電源電圧VDDLが高電圧に、第2の電源電圧VDDHが低電圧に設定された場合には、図3から判るように、出力信号の立下り遅延時間tpHLは、立上り遅延時間tpLHに対して長く、両者の時間差は大きくなる状況となる。しかし、第2の電源電圧VDDHが低電圧に設定されるほど、自動遅延調整回路10EのN型MOSトランジスタN4の駆動能力は低くなる。従って、入力信号の立上り時には、第1のインバータI1のN型MOSトランジスタN5は通常の駆動能力でONしても、自動遅延調整回路10EのN型MOSトランジスタN4によってレベル変換部Lの入力ノードn1から接地に流れ出

る電流の減少変化が小さくなり、レベル変換部Lの入力ノードn1の電圧の低下変化は小さくなって、この入力ノードn1の立下り遅延時間が長く延ばされる。その結果、図9に示すように、レベル変換部Lでは、出力ノードn3の立下り遅延時間が長くなって、出力端子outの出力信号の立上り遅延時間 t_{pLH} も長く延ばされる。よって、出力信号の立上り遅延時間 t_{pLH} と立下り遅延時間 t_{pHL} とが長い遅延時間側に調整されて、両遅延時間 t_{pLH} 、 t_{pHL} のバランスが良好に補償される。

【0071】

(第6の実施の形態)

続いて、本発明の第6の実施の形態の自動遅延調整機能付きレベル変換回路について図10を参照しながら説明する。

【0072】

本実施の形態のレベル変換回路は、図2に示した第1の実施の形態と図8に示した第5の実施の形態とを組合せたものである。

【0073】

即ち、図10のレベル変換回路では、2つの自動遅延調整回路10A、10Eを有する。一方の自動遅延調整回路10Aは、レベル変換部Lの出力ノードn3に接続されてレベル変換部Lの入力ノードn1の電位に応じて動作するN型MOSトランジスタN3から構成される。また、他方の自動遅延調整回路10Eは、第1のインバータI1のN型MOSトランジスタ(第1のトランジスタ)N5に直列に接続された第2のN型MOSトランジスタN4を備えて、構成される。

【0074】

従って、本実施の形態では、第1の実施の形態と第5の実施の形態とを組合せた作用効果が得られる。すなわち、自動遅延調整回路10Aによって、出力信号の立下り遅延時間 t_{pHL} が短く調整される一方、自動遅延調整回路10Eによって、出力信号の立上り遅延時間 t_{pLH} が長く調整されて、両遅延時間のほぼ中間的な遅延時間で両遅延時間 t_{pHL} 、 t_{pLH} のバランスが確保される。

【0075】

(第7の実施の形態)

更に、本発明の第7の実施の形態の自動遅延調整機能付きレベル変換回路について図11を参照しながら説明する。

【0076】

図11のレベル変換回路は、前記図8に示した第5の実施の形態の自動遅延調整回路10Eの配置位置を変更したものである。すなわち、本実施の形態では、自動遅延調整回路10Fがレベル変換部Lの出力ノードn3側に配置される。この自動遅延調整回路10Fも、図8に示した自動遅延調整回路10Eと同様に、直列接続された第1及び第2のN型MOSトランジスタN6、N4よりなるが、第1のN型MOSトランジスタN6は、第3のインバータI3を構成するP型MOSトランジスタP6及びN型MOSトランジスタN6のうちN型MOSトランジスタN6で兼用される。兼用された第1のN型MOSトランジスタN6は、そのゲートがレベル変換部Lの出力ノードn3に接続され、ドレインが出力端子outに接続され、ソースが第2のN型MOSトランジスタN4のドレインに接続される。また、第2のN型MOSトランジスタN4のゲートには第1の電源電圧VDDLが供給される。

【0077】

従って、本実施の形態では、第1の電源電圧VDDLが高電圧に、第2の電源電圧VDDHが低電圧に設定された場合には、図3から判るように、出力信号の立下り遅延時間 t_{pHL} は、立上り遅延時間 t_{pLH} に対して長く、両者の時間差は大きくなる状況となる。しかし、第1の電源電圧VDDLが高電圧に設定されるほど、自動遅延調整回路10FのN型MOSトランジスタN4の駆動能力が高くなる。従って、入力信号の立下り時において、レベル変換部Lの出力ノードn3の信号の立上りがP型MOSトランジスタP2の駆動能力の劣化に起因して遅くなっても、自動遅延調整回路10FのN型MOSトランジスタN4によって出力端子outから接地に流れ出る電流量が多くなって、出力端子outの電圧の低下変化は大きくなって、この出力端子outの信号の立下り遅延時間 t_{pHL} が短くなる。よって、出力信号の立上り遅延時間 t_{pLH} が短くても、立下り遅延時間 t_{pHL} が短く調整されて、両遅延時間 t_{pLH} 、 t_{pHL} のバランスが良好に補償される。

【0078】

(第8の実施の形態)

以下、本発明第8の実施の形態の自動遅延調整機能付きレベル変換回路について図面を参照しながら説明する。

【0079】

図12は本実施の形態における自動遅延調整機能付きレベル変換回路の回路図を示す。同図のレベル変換回路では、レベル変換部Lが、第1及び第2のP型MOSトランジスタP1、P2と、第3及び第4のN型MOSトランジスタN1、N2と、第2のインバータI2とからなるクロスラッチ型で構成される場合に、自動遅延調整回路10Gは、第5のN型MOSトランジスタN4と、第6のN型MOSトランジスタN3とを備える。

【0080】

前記自動遅延調整回路10Gにおいて、第5のN型MOSトランジスタN4は、前記レベル変換部Lの第4のN型MOSトランジスタN2と直列接続されていて、そのドレインが前記第4のN型MOSトランジスタN2のソースに接続され、そのソースに接地電圧VSSが供給され、そのゲートには第2の電源電圧VDDHが供給される。更に、第6のN型MOSトランジスタN3は、前記レベル変換部Lの第3のN型MOSトランジスタN1と直列接続されていて、そのドレインが前記第3のN型MOSトランジスタN1のソースに接続され、そのソースに接地電圧VSSが供給され、そのゲートには第1の電源電圧VDDLが供給される。

【0081】

例えば、第1の電源電圧VDDLが第2の電源電圧VDDHに比して高い場合には、レベル変換部LのN型MOSトランジスタN2に対してP型MOSトランジスタP2の駆動能力が劣化して、出力ノードn3の信号の立上り遅延時間が立下り遅延時間よりも大きい状況となるが、本実施の形態では、自動遅延調整回路10Gでは、第6のN型MOSトランジスタN3に対して第5のN型MOSトランジスタN4の駆動能力が抑制されるので、レベル変換部Lの出力ノードn3の立下り遅延時間は立上り遅延時間よりも長くなる特性がある。

【 0 0 8 2 】

従って、本実施の形態では、レベル変換部 L の P 型 MOS トランジスタ P 2 の駆動能力の劣化と、第 5 の N 型 MOS トランジスタ N 4 の駆動能力の強制的な抑制とが、拮抗することにより、結果的に、出力端子 o u t の出力信号の立上り遅延時間 t p L H と立下り遅延時間 t p H L とがほぼ等しくなる傾向を示し、立上り及び立下りの遅延時間のバランスが良くなる。

【 0 0 8 3 】

(本発明の第 1 の関連技術)

以下、本発明に関連する技術のレベル変換回路について図面を参照しながら説明する。

【 0 0 8 4 】

図 1 3 は本関連技術におけるレベル変換回路の回路図を示す。同図のレベル変換回路は、図 7 に示したレベル変換回路のカレントミラー回路 1 5 ' において、P 型 MOS トランジスタ P 3 のドレインと N 型 MOS トランジスタ N 3 のドレインとの間に直列接続された N 型 MOS トランジスタ N 4 のゲートを、出力端子 o u t には接続せず、制御端子 c n t に接続して、外部からこの制御端子 c n t を介して制御信号を N 型 MOS トランジスタ N 4 に与えて、制御しようとするものである。

【 0 0 8 5 】

本関連技術では、例えば、第 1 の電源電圧 V D D L が第 2 の電源電圧 V D D H に比して高い場合には、レベル変換部 L では、N 型 MOS トランジスタ N 2 に対して P 型 MOS トランジスタ P 2 の駆動能力が劣化して、出力信号の立上り遅延時間に対する立下り遅延時間が増大し、両遅延時間のバランスが大きく崩れる状況となるが、このバランスが大きく崩れる際には、制御端子 c n t に H (ハイ) レベルの制御信号を印加し、N 型 MOS トランジスタ N 4 を常に ON させた状態で、入力信号が立下る時には N 型 MOS トランジスタ N 3 が ON となることにより、レベル変換部 L の出力ノード n 3 の信号の立上りを補償して、出力信号の立下り遅延時間の増大を抑える。また、逆に、第 1 の電源電圧 V D D L が第 2 の電源電圧 V D D H に比して低い場合には、遅延時間の調整機能は不必要となるため

、制御端子 $c n t$ に L レベルの制御信号を印加して、N 型 MOS トランジスタ N 4 を常に OFF させておけば、遅延時間の調整機能を不能とさせることができ、レベル変換回路全体としてトランジスタの無駄な遷移動作を行うことがなく、低消費電力化が図れる利点がある。

【0086】

このように、本関連技術では、電源電圧を変更した場合には、自動ではないが、制御端子 $c n t$ からの制御信号の入力により、遅延調整機能の ON と OFF とを選択でき、出力信号の立上り遅延時間と立下り遅延時間特性とのバランスを良好にできると共に、効率的なバランス調整力を備えることが可能である。

【0087】

(本発明の第 2 の関連技術)

次に、本発明の第 2 の関連技術のレベル変換回路について図面を参照しながら説明する。

【0088】

図 1 4 は本関連技術の回路図を示す。同図のレベル変換回路は、図 4 に示した本発明の第 2 の実施の形態のレベル変換回路において、自動遅延調整回路 10 B の P 型 MOS トランジスタ P 3 のゲートに、第 2 の電源電圧 $V D D H$ を供給せず、制御端子 $c n t$ を接続して、外部から制御信号を制御端子 $c n t$ を経て P 型 MOS トランジスタ P 3 に入力して、その動作を制御しようとするものである。

【0089】

本関連技術では、既述の通り、例えば、第 1 の電源電圧 $V D D L$ が第 2 の電源電圧 $V D D H$ に比して高い場合には、出力信号の立上り遅延時間に対して立下り遅延時間が増大して、両遅延時間のバランスが大きく崩れる状況となるが、このバランスが大きく崩れる場合に限り、制御端子 $c n t$ に L レベルの制御信号を印加して、P 型 MOS トランジスタ P 3 を常に ON させた状態で、入力信号の立下り時には、N 型 MOS トランジスタ N 3 が ON となることにより、レベル変換部 L の出力ノード $n 3$ の立上りを補償して、出力信号の立下り遅延時間の増大を抑える。また、逆に、第 1 の電源電圧 $V D D L$ が第 2 の電源電圧 $V D D H$ に比して低い場合には、遅延調整機能が不必要となるため、制御端子 $c n t$ に H レベルの

制御信号を印加して、P型MOSトランジスタP3を常にOFFさせておけば、遅延調整機能を不能とさせることができ、レベル変換回路全体としてトランジスタの無駄な遷移動作なくして、低消費電力を図ることができる利点がある。

【0090】

以上、関連技術を説明したが、既述した本発明の実施の形態において、遅延調整機能を発揮させたい場合に、半導体装置内に流れる補償電流の導通と遮断を制御信号により選択できる機能を有した制御端子を付加し、具備させれば、電源電圧を変更した場合であっても、制御端子からの制御信号により遅延調整機能のオンとオフとを選択でき、出力信号の立上り遅延時間と立下り遅延時間との遅延特性のバランスを良好にできると共に、効率的なバランス調整力を備えたレベル変換回路を実現することができる。

【0091】

尚、既述した関連技術では、使用条件及び用途によっては立上り遅延時間と立下り遅延時間とが不均衡であることが要求される場合にも対応でき、必要に応じて、出力信号の立上り及び立下り遅延時間のバランス量を大幅に調整することが可能である。

【0092】

【発明の効果】

以上説明したように、請求項1～12記載の発明の自動遅延調整機能付きレベル変換回路によれば、レベル変換前後の電源電圧の変更に伴い、出力端子からの出力信号の立上り遅延時間が立下り遅延時間よりも長くなって、アンバランスが生じた場合であっても、そのアンバランスを自動補正する自動遅延調整回路を設けたので、レベル変換前後の電源電圧の値に拘わらず、常に、適切な遅延特性でもって入力信号をレベル変換できる効果を奏する。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態の自動遅延調整機能付きレベル変換回路を用いたシステムのブロック構成を示す図である。

【図2】

同実施の形態の自動遅延調整機能付きレベル変換回路の内部構成を示す回路図である。

【図 3】

同自動遅延調整機能付きレベル変換回路の遅延時間特性を示す図である。

【図 4】

本発明の第 2 の実施の形態の自動遅延調整機能付きレベル変換回路の内部構成を示す回路図である。

【図 5】

同自動遅延調整機能付きレベル変換回路の遅延時間特性を示す図である。

【図 6】

本発明の第 3 の実施の形態の自動遅延調整機能付きレベル変換回路の内部構成を示す回路図である。

【図 7】

本発明の第 4 の実施の形態の自動遅延調整機能付きレベル変換回路の内部構成を示す回路図である。

【図 8】

本発明の第 5 の実施の形態の自動遅延調整機能付きレベル変換回路の内部構成を示す回路図である。

【図 9】

同自動遅延調整機能付きレベル変換回路の遅延時間特性を示す図である。

【図 1 0】

本発明の第 6 の実施の形態の自動遅延調整機能付きレベル変換回路の内部構成を示す回路図である。

【図 1 1】

本発明の第 7 の実施の形態の自動遅延調整機能付きレベル変換回路の内部構成を示す回路図である。

【図 1 2】

本発明の第 8 の実施の形態の自動遅延調整機能付きレベル変換回路の内部構成を示す回路図である。

【図 1 3】

本発明の第 1 の関連技術の遅延調整機能付きレベル変換回路の内部構成を示す回路図である。

【図 1 4】

本発明の第 2 の関連技術の遅延調整機能付きレベル変換回路の内部構成を示す回路図である。

【図 1 5】

従来のレベル変換回路の構成を示す回路図である。

【図 1 6】

従来のレベル変換回路において出力信号の立上り遅延時間と立下り遅延時間とを説明する図である。

【図 1 7】

同レベル変換回路において第 1 の電源電圧と第 2 の電源電圧とを変更した場合の出力信号の立上り遅延時間特性及び立下り遅延時間特性を示す図である。

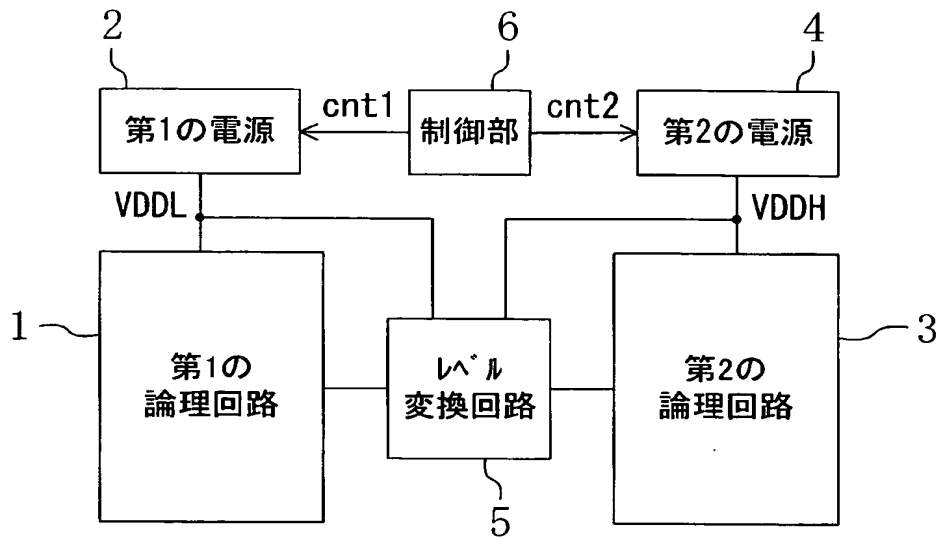
【符号の説明】

1	第 1 の論理回路
2	第 1 の電源
3	第 2 の論理回路
4	第 2 の電源
5	レベル変換回路
6	制御部
VDDH	第 2 の電源電圧
VDDL	第 1 の電源電圧
VSS	接地電圧
in	入力端子
L	レベル変換部
out	出力端子
n1	入力ノード

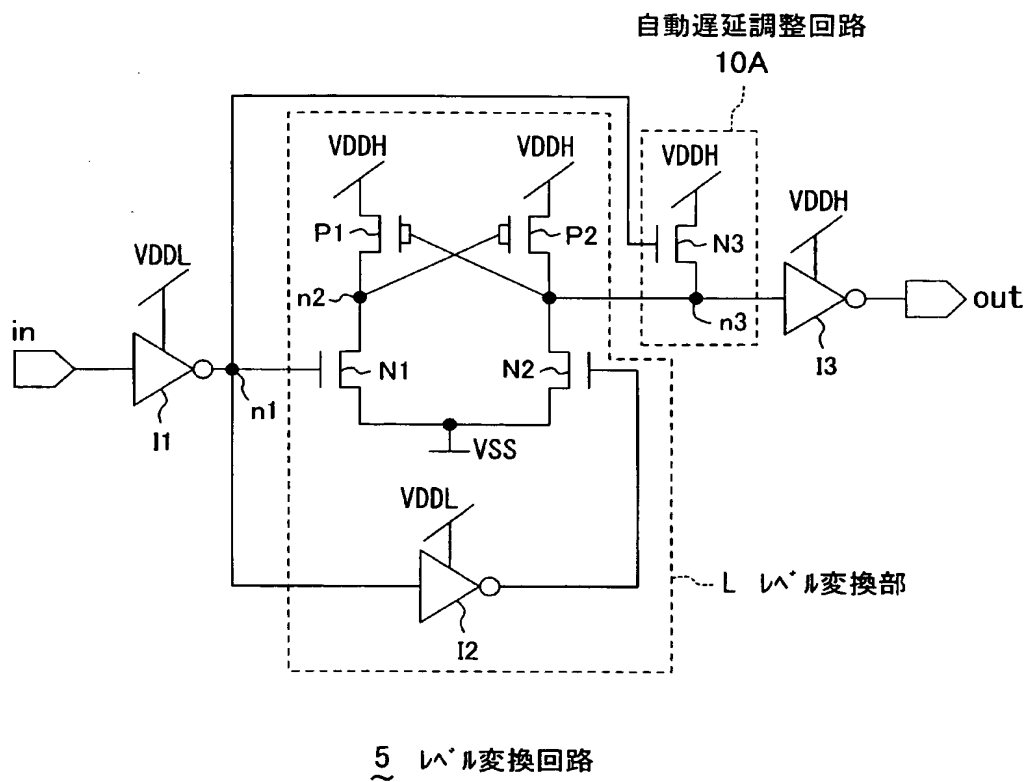
n 3	出力ノード
P 1、P 2、P 3、P 4	P 型MOS トランジスタ
N 1、N 2、N 3、N 4	N 型MOS トランジスタ
1 0 A ~ 1 0 G	自動遅延調整回路
1 5、1 5'	カレントミラー回路
I 2	第 2 のインバータ回路

【書類名】 図面

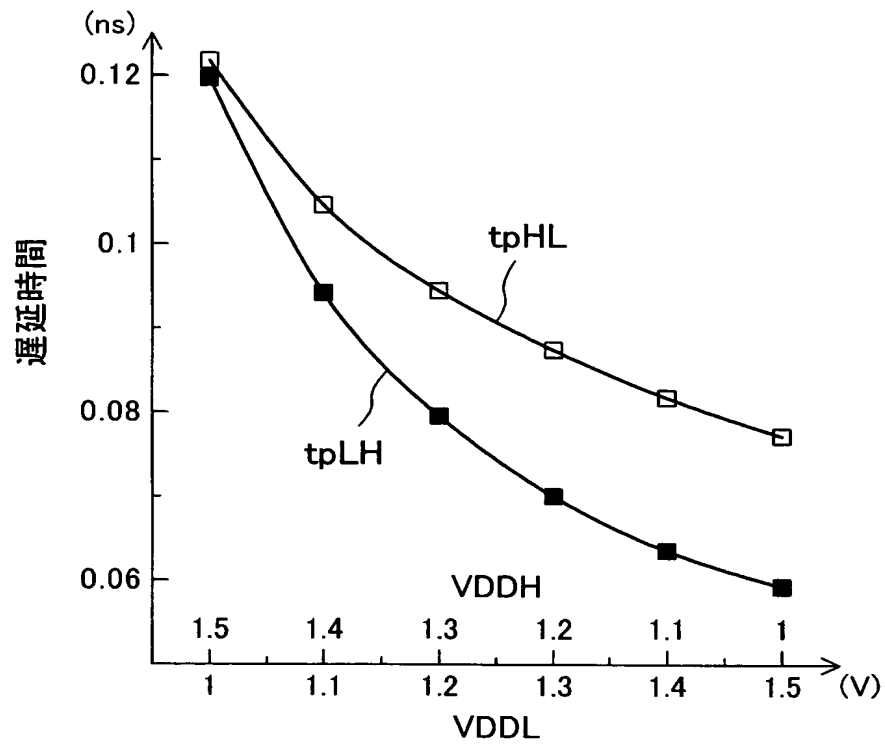
【図 1】



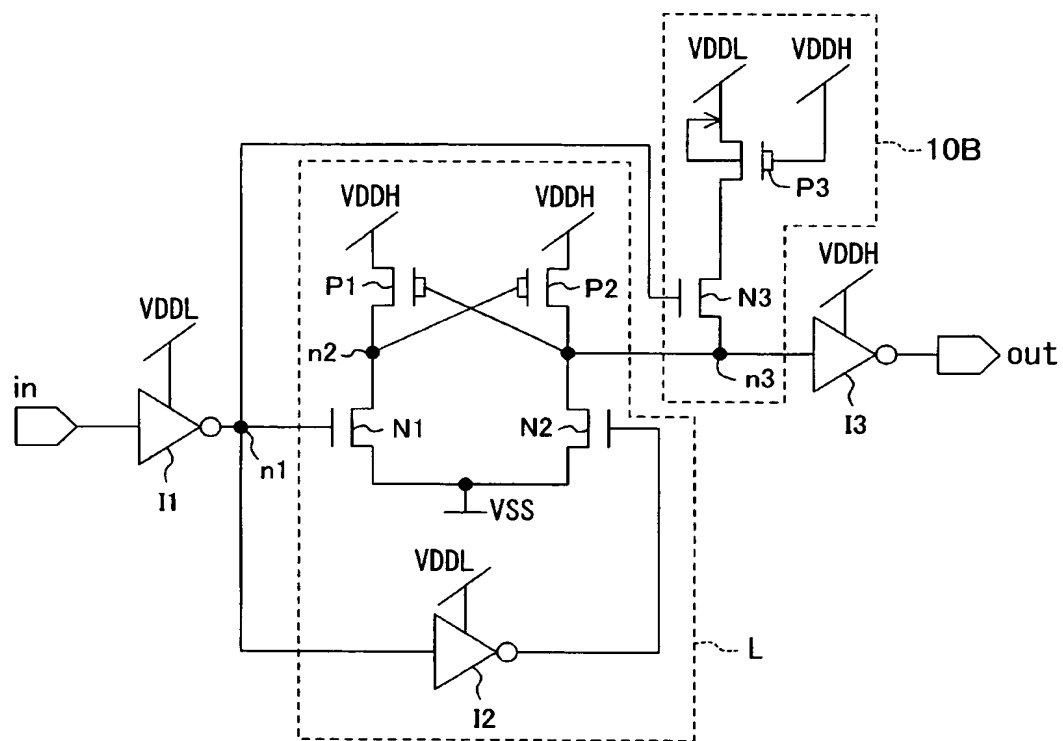
【図 2】



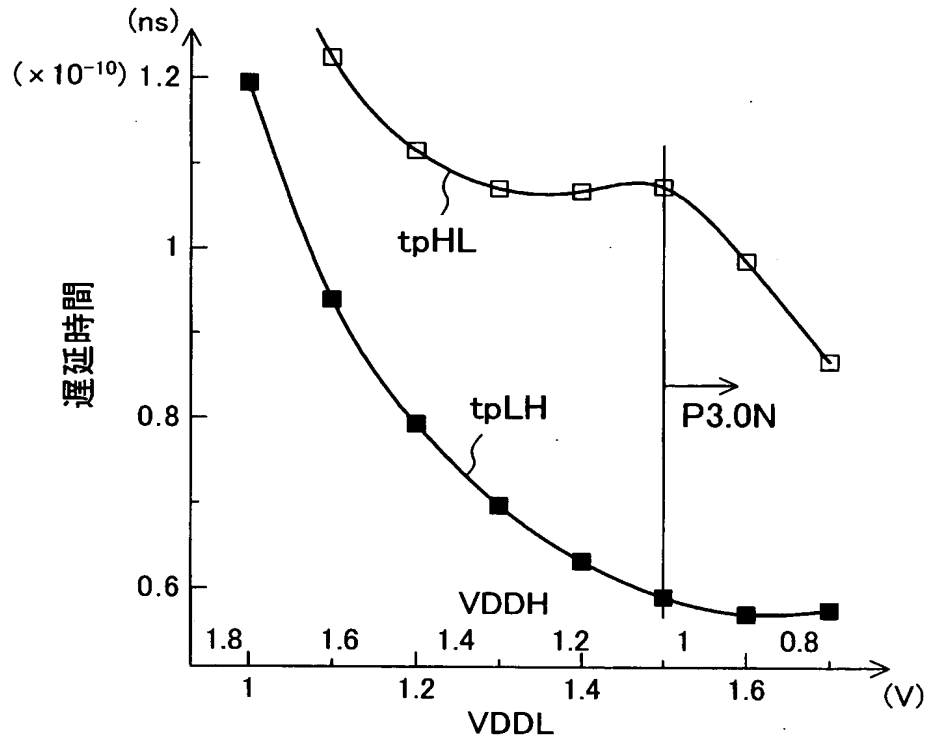
【図 3】



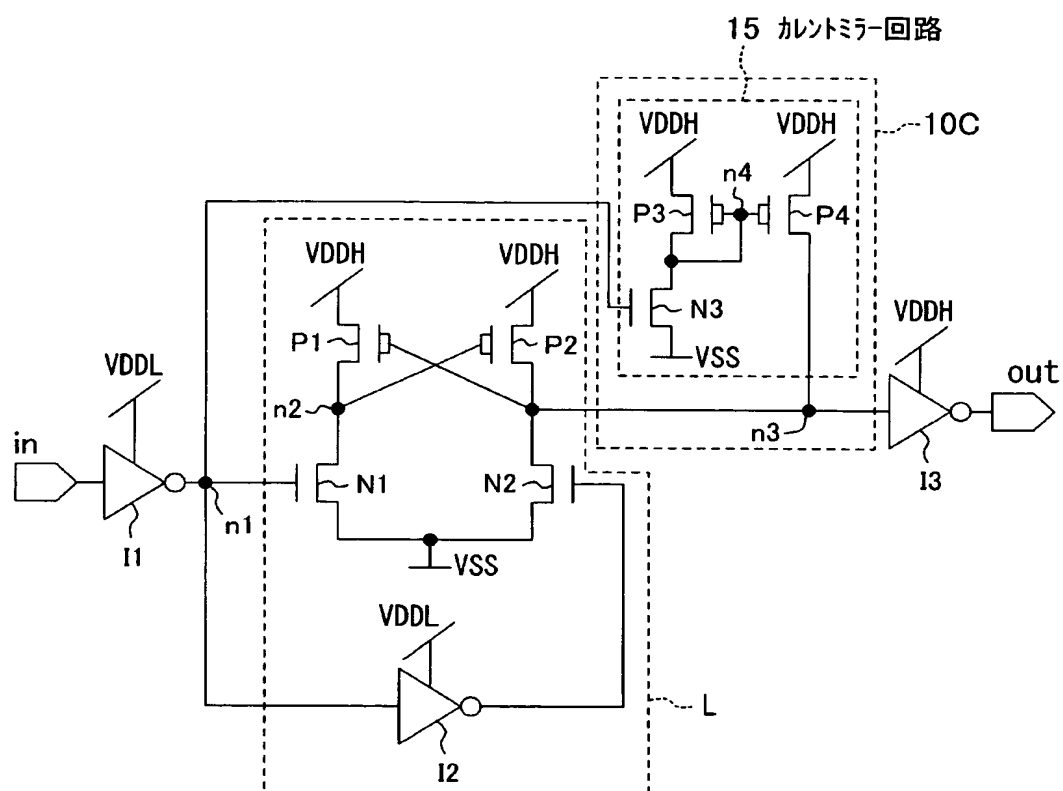
【図 4】



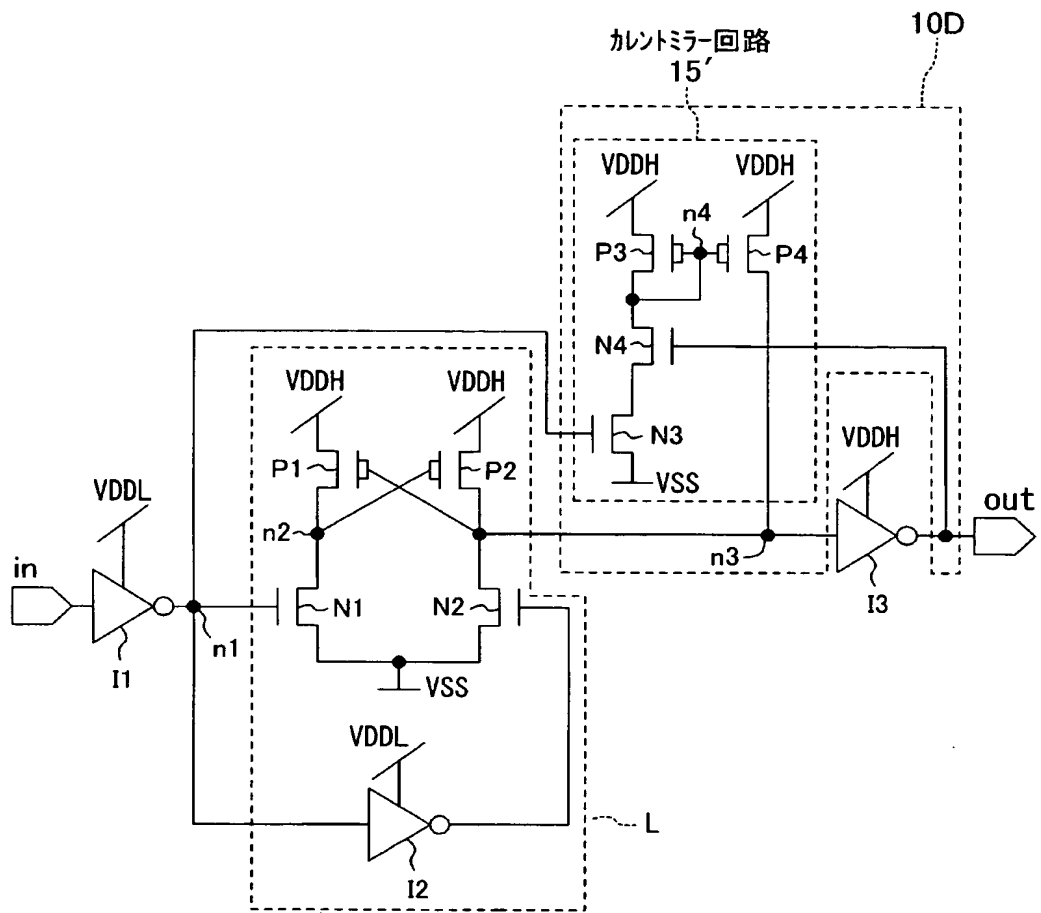
【図 5】



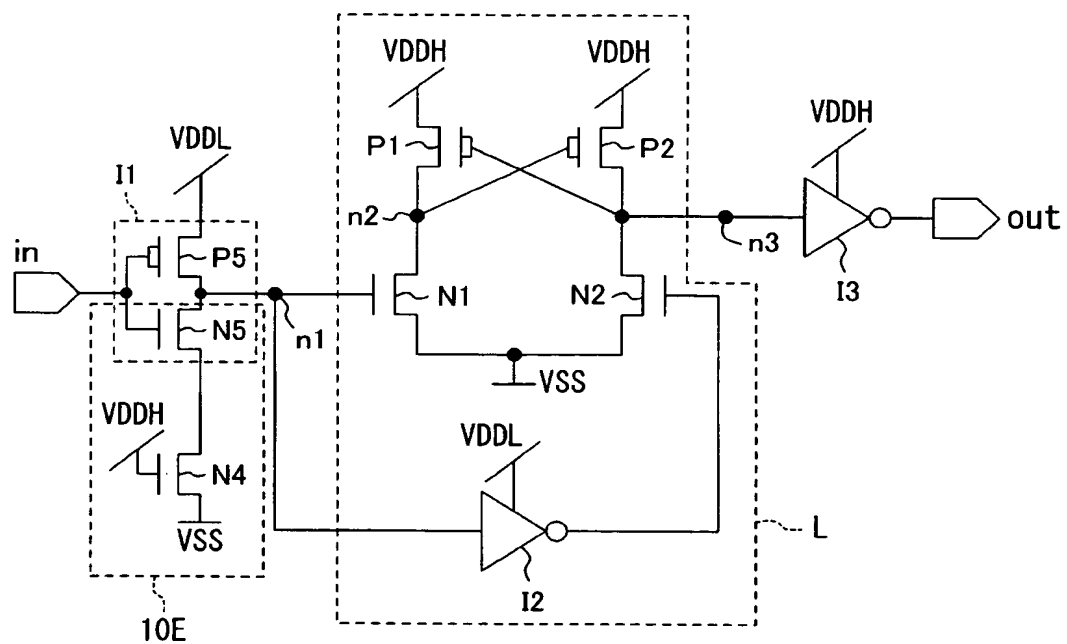
【図 6】



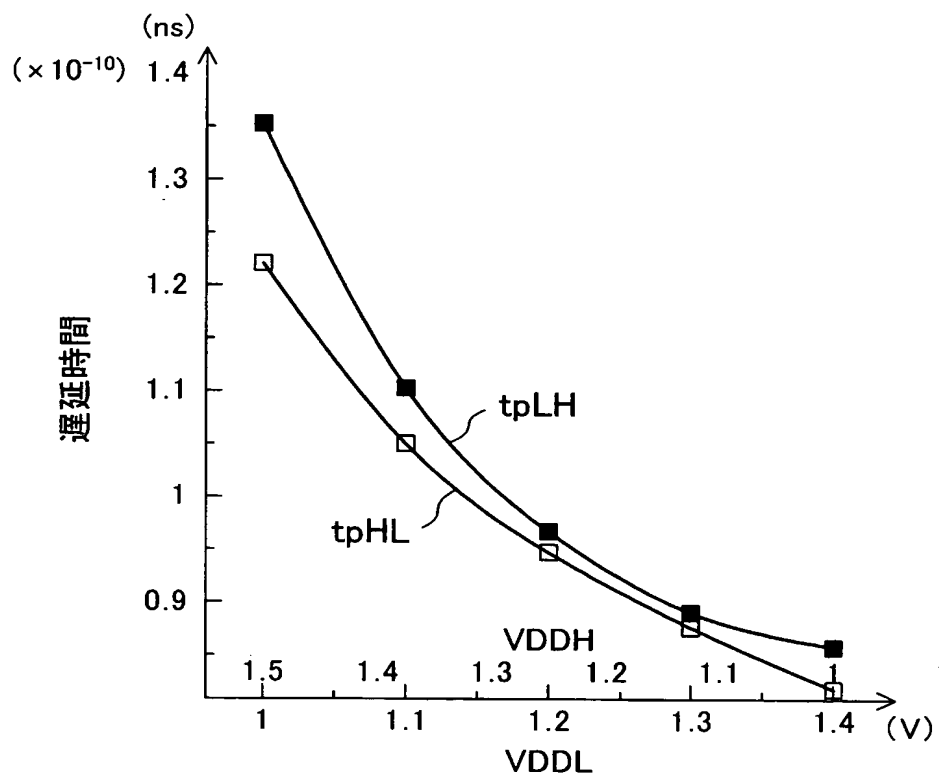
【図 7】



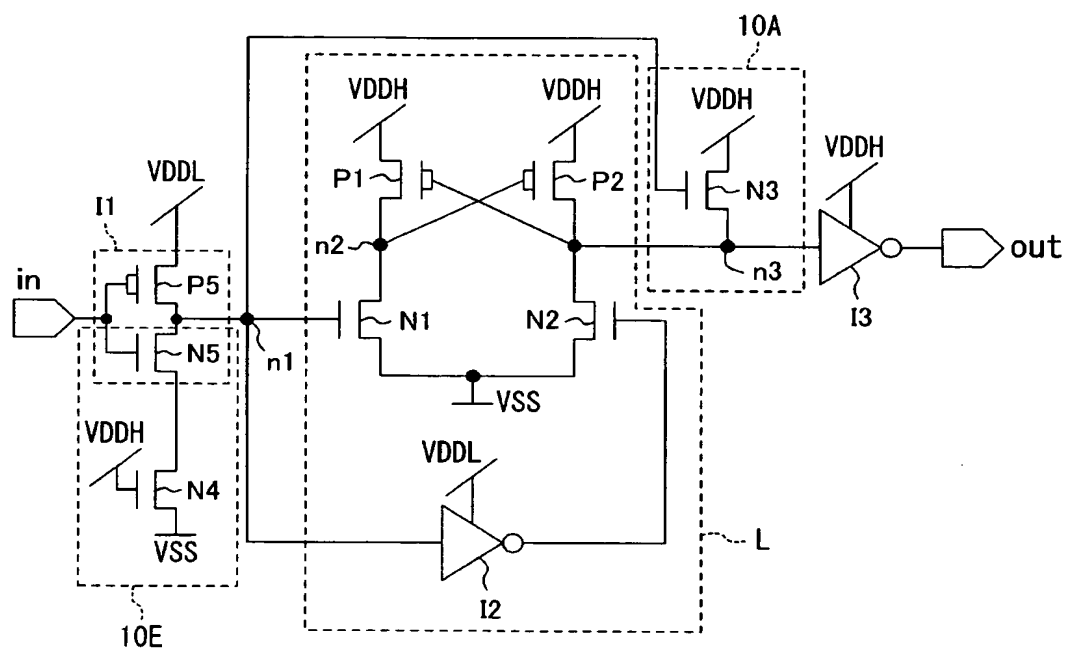
【図 8】



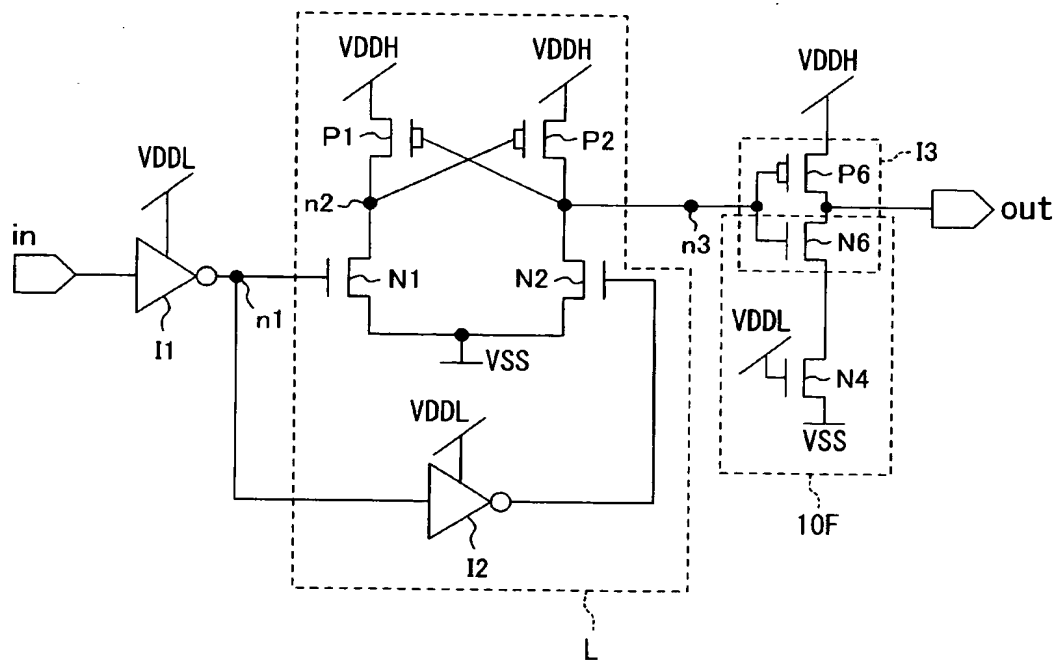
【図 9】



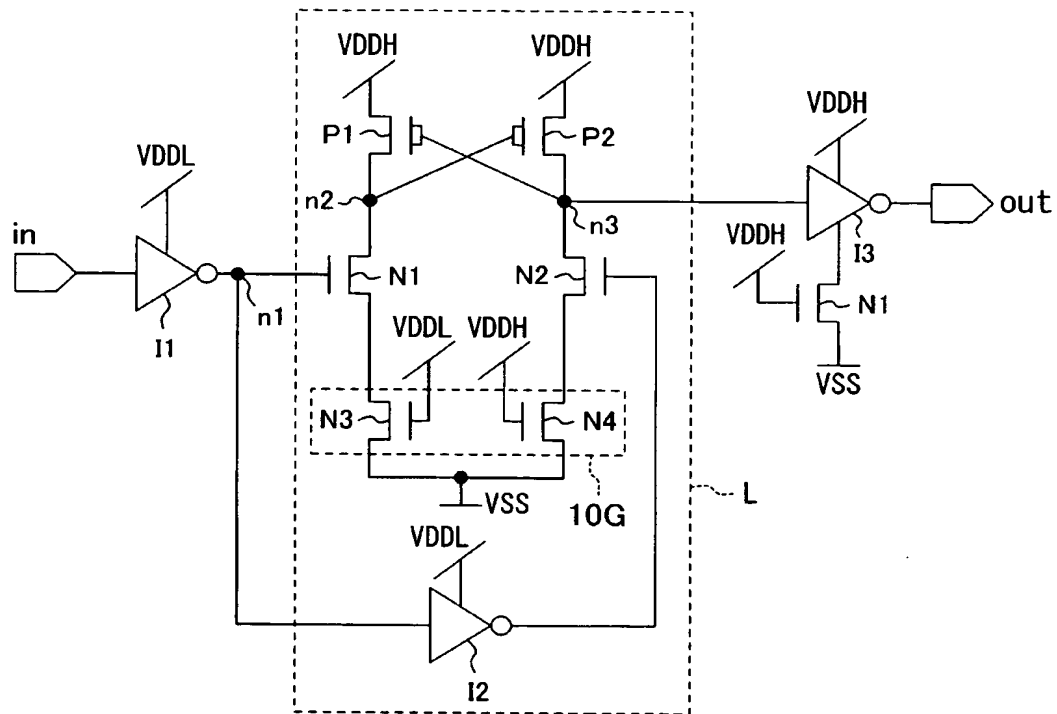
【図 10】



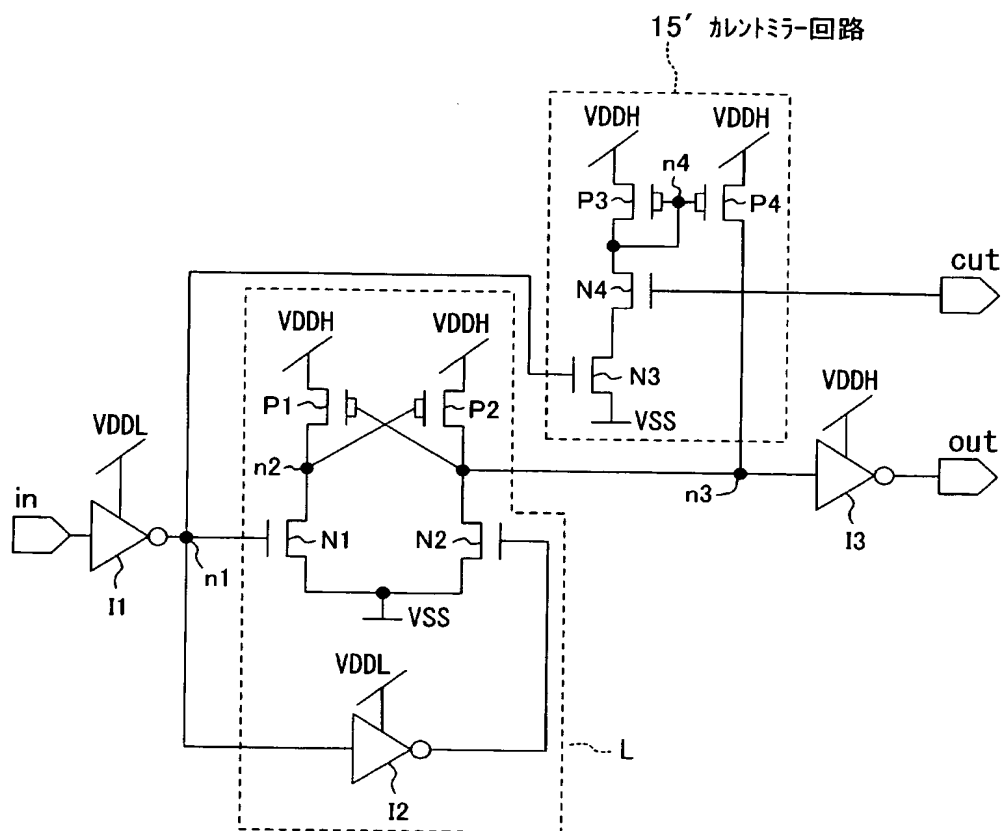
【図 11】



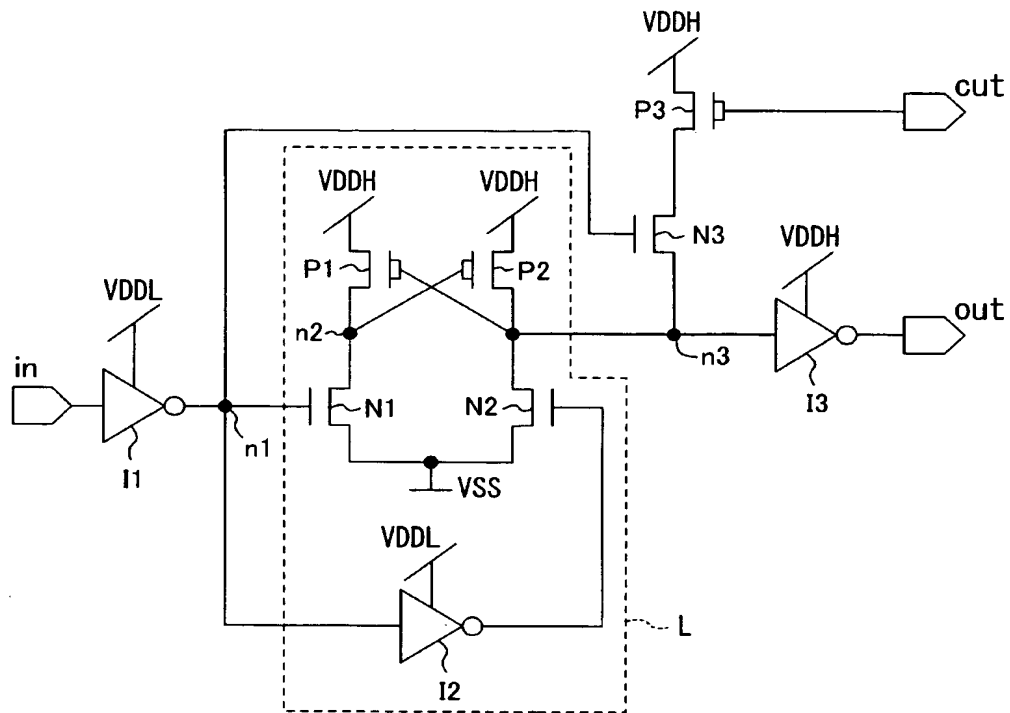
【図 12】



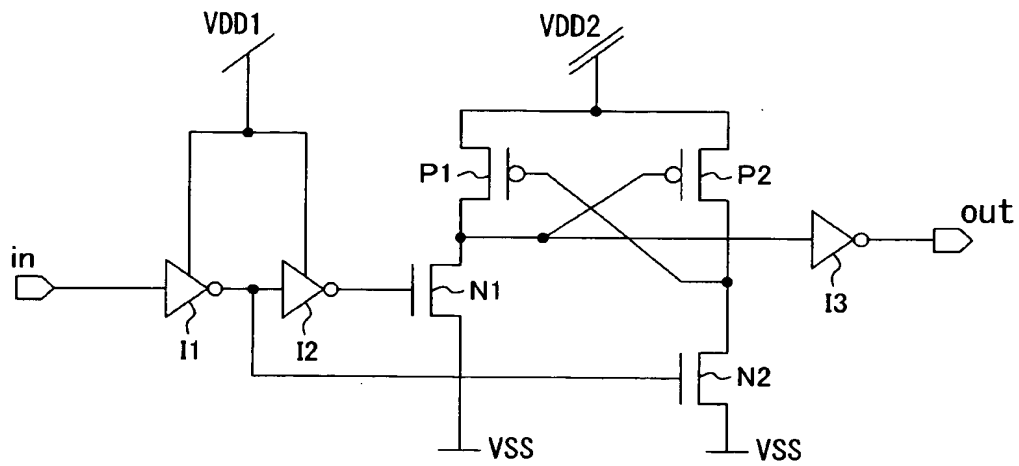
【図 13】



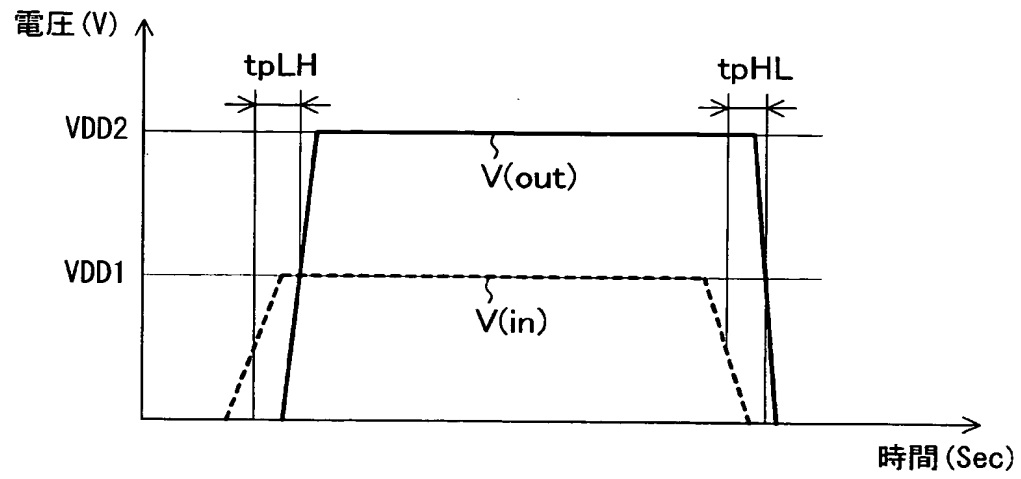
【図 14】



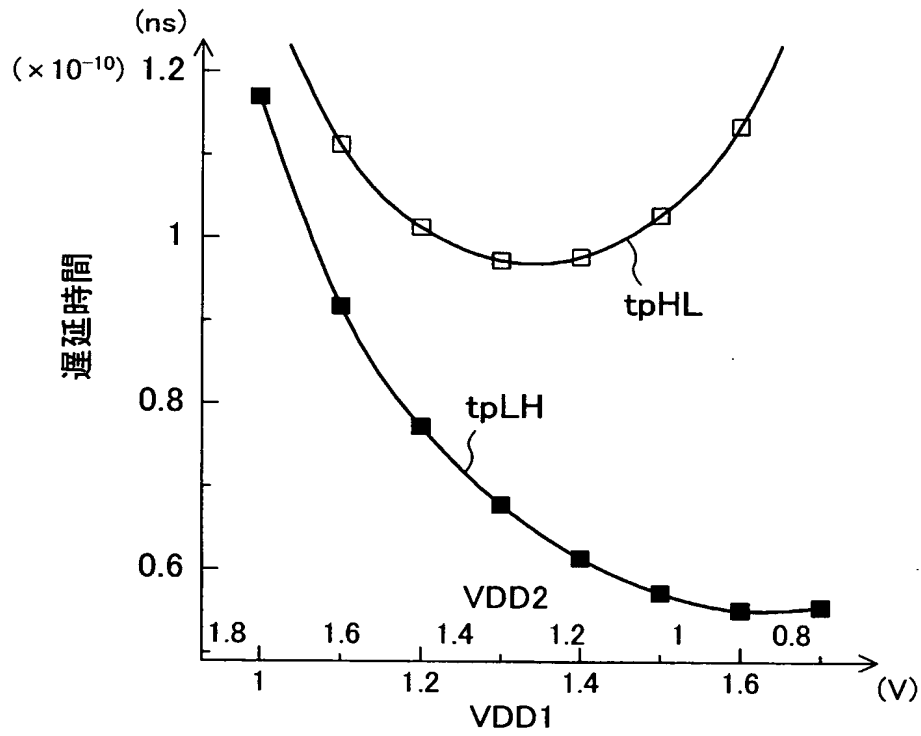
【図 15】



【図 1 6】



【図 17】



【書類名】 要約書

【要約】

【課題】 レベル変換回路において、入力信号の振幅電圧及び出力信号の振幅電圧の少なくとも一方が変更された場合であっても、出力信号の立下り遅延時間特性と立上り遅延時間特性のバランスを良好に保つようにする。

【解決手段】 入力端子 $i n$ の入力信号の振幅電圧（第 1 の電源電圧 $V D D L$ ）が高く変更され、出力端子 $o u t$ の出力信号の振幅電圧（第 2 の電源電圧 $V D D H$ ）が低く変更された場合には、出力端子 $o u t$ からの信号の立下り遅延時間は立上り遅延時間よりも長くなり易い。しかし、インバータ $I 1$ を経た反転入力信号が、レベル変換部 L に入力されると共に、N 型トランジスタ $N 3$ のゲートにも入力されているので、入力端子 $i n$ の入力信号の立下り時には、N 型トランジスタ $N 3$ が $O N$ して、第 2 の電源電圧 $D D D H$ から電流がレベル変換部 L の出力ノード $n 3$ に供給されて、レベル変換部 L での H レベルへの変換を補助する。

【選択図】 図 2

特願 2 0 0 3 - 0 2 4 4 4 9

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社